

# HAPS Developer eXpress(HAPS-DX)

新規 ASIC ブロック、IP、サブシステムのプロトタイピング  
に最適

業界最高水準の HDL ソース・コンパイラおよび  
FPGA 基板

UMRBus を統合

ANSI 規格の FMC および シノプシス HapsTrak  
3 コネクタをサポート

大容量の シノプシス HAPS-70 シリーズ・システムとの  
統合が可能

## 概要

時間との勝負

FPGAベース・

表1 : HAPS-DX7 S4 システムの特長

	HAPS-DX7 S4
FPGAタイプ	Virtex-7 690T
FPGA容量	最大400万ASICゲート
DDR3 SDRAM容量	最大8GB
ユーザー・アクセス可能なVirtex-7汎用I/O	500 ( HapsTrak 3 I/O コネクタ当たり50 I/O ) + 10 ( GPIO コネクタ ) + 40 ( HSIO MGB コネクタ当たり10 ) + 16 ( HSIO FMC コネクタ当たり8 )
ユーザー・アクセス可能なVirtex-7 GTH トランシーバ	56 ( HSIO MGB コネクタ・ソケット当たり10 ) ( HSIO FMC コネクタ・ソケット当たり8 )
ユーザー LED	4 ( 赤/緑の2色LED )
HapsTrak 3 I/O コネクタ・ソケット	10 ( 160-position SEAF Open Pin Field Arrayソケット ) ( HapsTrak 3-HapsTrak II アダプタ・カードを利用可能 )
HSIO MGB コネクタ・ソケット	4 ( 80-pin Vertical Edge Rate Cardソケット ) ( 1ソケット当たり10個のGTH トランシーバおよび10本のGPIOへのアクセスが可能 )
HSIO FMC コネクタ・ソケット	2 ( 60-pin SEAF Open Pin Field Arrayソケット ) ( 1ソケット当たり8個のGTH トランシーバおよび8本のGPIOへのアクセスが可能 ) ( HapsTrak 3-FMC アダプタ・ボードを使用 )
GPIO ( 汎用I/O ) コネクタ・ソケット	1 ( 2x7ピン、2.00mmピッチ・ヘッダ ) ( 10本のGPIOへのアクセスが可能 )
DDR3 SODIMM コネクタ・ソケット	1 ( DDR3 SODIMM 204-position Right Angleソケット )
クロック・リソース	FPGAへのクロック・ネットを3つ備えたPLL ( 1 )、外部PLL入力 ( 1 )、外部PLL出力 ( 2 )、外部同軸クロックI/O ( 2 )、PLL入力の周波数レンジは5 ~ 200MHz、PLL出力は160kHz ~ 700MHz
プログラマブルな電圧領域	1.8V、1.5V、1.35V、1.2Vのいずれか
クロック領域	4
デバッグ・モード	RTL レベル・デバッグ、サンプルMuxグループ、マルチFPGA分散デバッグ、ディープ・トレース・デバッグ、ロジック・アナライザを用いたリアルタイム・デバッグ
ドーターボードの種類	PCIe、SATA、Ethernet、DDR2、SRAM、フラッシュ、MSDRAM、MICTOR、その他HapsTrak 3互換のFMCメザニン・カード
プロトタイプ開発自動化・ソフトウェア	HAPS-DX向け論理合成/インプリメンテーション・ツールが付属
RTL デバッグ/トラブルシューティング・ソフトウェア	HAPS-DX向けRTL デバッグ/システム・アセンブリ・バリデーション・ツールが付属
システム制御ソフトウェア	システム・コンフィギュレーション/モニタリング・ソフトウェア・ツールが付属
コンフィギュレーション	SDカード ( 最大10種類のブート・コンフィギュレーションをロータリー・スイッチで選択 )、CDE ( Configuration and Data Exchange ) インターフェイス経由のUMRBus、JTAG、USB 2.0
暗号鍵	バッテリー・バックアップ対応
電源ユニット入力	110-240 AC、12V
付属アクセサリ	電源
オプション・アクセサリ	PCIeエッジ・コネクタ・ボード HapsTrak 3-FMC アダプタ・ボード ( 160本のGPIOおよび10個のGTH トランシーバ・チャンネルへのアクセスが可能 )

## FPGA メザニン・カード ( FMC ) 規格について

FMCはANSI規格の1つで、標準のメザニン・カードの形状とコネクタ規格、およびHAPS-DXなどのキャリア・ボードに実装されたFPGAへのモジュラー・インターフェイスを定義しています。FPGAからI/Oインターフェイスを切り離すことでI/Oインターフェイス・モジュールの設計が簡略化され、キャリア・カードの再利用性も最大限に高まります。



## ハイブリッド・プロトタイピング

SystemC/TLMベースのモデル(バーチャル・プロトタイプ)とFPGAベースのプロトタイプ・ハードウェアを混在できるハイブリッド・プロトタイピング・システムを利用すると、RTLの完成を待たずにプロトタイプ開発が可能となるため、従来の手法に比べ数ヶ月早くプロトタイプを利用できるようになります。バーチャル・プロトタイプは、LT(Loosely-Timed)モデルとサイクル精度のハードウェアをブリッジ

接続するバス・プロトコル・トランザクタを介してRTL DUTと通信します。DUT RTLのバリデーションは、アプリケーション・ソフトウェアで構成されるソフトウェア・スタックをバーチャル・プロセッサ・サブシステムで実行して行います。

HAPS-DXの合成/インプリメンテーション機能	利 点
数百万ゲ	

〒158-0094 東京都世田谷区玉川2-21-  
〒531-0072